INVITACIÓN 227

Para	Directores y Directoras Regionales de Educación
Nombre de la actividad	Programación Verilog Grupo # 1
Propósito de la actividad	Crear el diseño de componentes para el modelado sistemas digitales y electrónicos, empleando el lenguaje de diseño de hardware (HDL) Verilog.

Si requiere más información sobre esta actividad, sírvase comunicarse a la siguiente dependencia:

Dependencia organizadora y nombre de persona(s) de contacto	Fundación Omar Dengo Yuri Sánchez Gutiérrez Yuri.sanchez@fod.ac.cr 2527-6086
Estrategia metodológica	Virtual
Tipo de actividad	Curso
Personas invitadas	Docentes de especialidades electrónica y electrónica industrial.
Fecha y horario	27 de julio 09, 18, 24 y 30 de agosto 14, 22 y 29 de setiembre 10 de octubre Horario: De 8:00 am a 12:00 md
Observaciones	Plataforma: Webex El enlace para el ingreso se les enviará días antes a su correo. El curso tiene sesiones sincrónicas y asincrónicas.